

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—22283

⑫ Int. Cl.<sup>3</sup>  
B 66 B 5/06

識別記号

庁内整理番号  
8110—3F

⑬ 公開 昭和58年(1983)2月9日  
発明の数 1  
審査請求 未請求

(全 9 頁)

⑭ エレベーターの異常検出装置

⑮ 特 願 昭56—117700

⑯ 出 願 昭56(1981)7月29日

⑰ 発明者 高橋秀明  
勝田市市毛1070番地株式会社日  
立製作所水戸工場内

⑱ 発明者 上島孝明  
勝田市市毛1070番地株式会社日  
立製作所水戸工場内

⑲ 発明者 金子隆  
勝田市市毛1070番地株式会社日  
立製作所水戸工場内

⑳ 発明者 坂井吉男

勝田市市毛1070番地株式会社日  
立製作所水戸工場内

㉑ 発明者 米田健治

勝田市市毛1070番地株式会社日  
立製作所水戸工場内

㉒ 発明者 稲葉博美

日立市幸町3丁目1番1号株式  
会社日立製作所日立研究所内

㉓ 出願人 株式会社日立製作所

東京都千代田区丸の内1丁目5  
番1号

㉔ 代理人 弁理士 高橋明夫

明細書

発明の名称 エレベーターの異常検出装置

特許請求の範囲

1. 多階床間を走行するエレベーターにおいて、複数の時点間における上記エレベーターの速度差に応じて変化する変化要素、この変化要素が許容値を超えたことから上記エレベーターの異常を検出することを特徴とするエレベーターの異常検出装置。

2. 上記変化要素は、単位時間当たりの上記複数時点間における速度差から求まる速度変化率とした特許請求の範囲第1項記載のエレベーターの異常検出装置。

3. 上記エレベーターの走行距離に応じたパルスを発生する手段を備えたものにおいて、第1の時点における上記パルス間隔時間と、この第1の時点から単位時間後の第2の時点における上記パルス間隔時間との差から、上記速度変化率を算出するようにした特許請求の範囲第2項記載のエレベーターの異常検出装置。

4. 上記パルス間隔時間は、複数個のパルス間隔時間の平均値とした特許請求の範囲第3項記載のエレベーターの異常検出装置。

5. 上記許容値は、エレベーターの運転状態に応じて変化させるようにした特許請求の範囲第1項記載のエレベーターの異常検出装置。

6. 上記エレベーターの走行距離に応じたパルスを発生する手段を備えたものにおいて、第1の時点における所定時間内の上記パルス数と、この第1の時点から単位時間後の第2の時点における上記パルス数との差から、上記速度変化率を算出するようにした特許請求の範囲第2項記載のエレベーターの異常検出装置。

7. 上記エレベーターを制御するデジタルコンピュータを備えたものにおいて、このコンピュータとは別に設けた専用回路により、上記エレベーターの異常を検出するよう構成した特許請求の範囲第1項記載のエレベーターの異常検出装置。

8. 上記エレベーターを制御するデジタルコンピュータを備えたものにおいて、このコンピュータ

により、上記エレベーターの異常を検出するよう構成した特許請求の範囲第1項記載のエレベーターの異常検出装置。

#### 発明の詳細な説明

本発明はエレベーターの異常検出に関し、特に、エレベーターの走行距離に応じたパルス発生器を備えたエレベーターに好適な異常検出装置に係る。

エレベーターの制御装置が何等かの原因で故障した場合、その故障様態によつては速度の異常増速あるいは減速を生じ、非常に危険であるので、速やかにこれを検知し、安全に運行しなければならない。

このような場合の従来方式について、誘導電動機を駆動源とする交流エレベーターを例にとつて述べる。交流エレベーターの速度制御は、逆並列接続サイリスタを誘導電動機の1次側の2相あるいは3相に挿入し、このサイリスタの位相制御により誘導電動機の1次電圧制御を行なつて駆動トルクを制御する駆動トルク制御要素と、サイリスタを含む整流回路の出力を誘導電動機に供給し、

また、制動トルク制御側のサイリスタが導通のままでゲート制御が不可能なダイオードと同様の動作となる故障の場合は、電動機に過大な直流制動電流が流れ、大きな制動トルクを発生して、エレベーターは急減速し、乗客に異常なショックを与えることになる。

この他にも、駆動トルクと制動トルクを制御するサイリスタの故障の組合せや、これらのサイリスタを制御する装置が故障しても、エレベーターは前記したと同様の異常動作をする。

そこで、従来このようを場合は次のような方法により、故障検出をおこなつていた。

まず、電動機に電圧が印加されないで増速する故障の場合は、電動機に流れる電流を検出して、電流が零の場合は直ちに電源遮断し、電磁ブレーキをかけて停止させていた。

しかしながら、駆動トルクと制動トルクを全速度範囲に亘つて連続的に制御しているため、これらのトルクの切替点では必ず電流が零になる期間が発生する。このため、上記トルクの切替期間は

このサイリスタの位置制御により誘導電動機の直流制動トルクを制御する制動トルク制御要素を用い、エレベーターの起動から着床までの全速度範囲に亘つて基準速度指令と実速度の偏差に応じて、上記誘導電動機の駆動力及び制動力を速度帰還制御する方法が採用されている。このような制御方式において、上記トルク制御要素としてのサイリスタ等が故障すると、エレベーターは次のような異常動作をする。

例えば、エレベーターの運転方向が上昇で乗かご内の荷重が軽い場合や、運転方向が下降で乗かご内の荷重が重い場合に、前記駆動トルク制御側のサイリスタが非導通で電動機に定格電圧が印加されないような故障時は、上記乗かご側の重さとカウンタウエイト側の重さとの差で定まるアンバランストルクでエレベーターは漸次增速する。この速度が前記電動機の同期速度をこえても、電動機には所定の電圧が印加されていないため回生制動トルクが発生せず、したがつてエレベーターは定格速度以上の危険な速度まで增速する。

上記した方法による検出を無視しなければならない。

したがつて、これらの期間内の上記故障は検出ができない。

次に、制動トルク制御側のサイリスタが故障して急減速するような場合は、制動電流の上限値を検出し、電流がこの値を越えたならば異常とみなし、電源を遮断し、電磁ブレーキをかけて停止させる。

この場合、電磁ブレーキトルクは上記故障時の電流制動トルクよりもかなり小さいので、このような方法で故障検出し停止させても乗客へのショックは全直流制動で停止したときよりも小さく抑えることができる。

しかしながら、上記方法では電動機の負荷およびトルク特性や電流検出器の検出特性のばらつきを考慮するため、上記制動電流の異常を検出するための上限値を正常制御時の上限値よりもかなり大きく設定しなければならないので、異常が発生しても上記検出器は直ちに動作せず、充分な検出がで

きない。

このように、従来の方法では、エレベーターの異常動作を充分検出できず、また、故障要素毎に検出器が必要という欠点があつた。

そこで、エレベーターの実速度を監視し、この実速度を設定値と比較して異常検出する方法が考案されている。しかしながら、エレベーター速度は負荷によつて変動するため、設定値は余裕を持たせる必要がある。このため、異常検出が遅れるという問題があつた。

本発明の目的は、エレベーターの殆んどの異常を速やかに検出することのできる異常検出装置を提供し、もつて安全性の高いエレベーターを実現するにある。

本発明の特徴は、複数の時点におけるエレベーター実速度の速度差に応じて変化する変化要素が許容値を超えたことからエレベーターの異常を検出することにより、故障等による異常速度に至る前に、直ちにその異常を検出するようとしたところにある。この変化要素は、例えば単位時間当

本発明では、上記した通り、その時の速度変化率、すなわち加速度  $\frac{dv}{dt}$  を求め、監視している。したがつて、例えば、一定の許容値  $P_T$  を設定し、これと比較して異常検出する場合であつても、②点で直ちに検出することができる。これから解るよう、本発明によれば、従来の方式に比べエレベーターの異常を早く検出することができる。また、本発明において、加速度の許容値を  $P_H$  及び  $P_L$  で示すように、実際の加速度を模擬し、上限および下限  $\Delta v$  を設定しておくと、その検出速度は一層早くすることができ、上記の場合①点で瞬時のうちに異常を検出することができる。

このように、本発明によれば、エレベーターの異常を極めて早く検出することができる。特に、将来異常速度になるであろう初期の段階で、その異常を検出することができるので、エレベーターの安全性を向上する上で極めて有効である。さらに、エレベーターの故障が、最終的には速度に現われることを考慮するならば、本発明により殆どの異常を速やかに検出することができる。

特開昭58- 22283(3)

りで算出することにより、速度変化率として得ることができ、実施例ではこの速度変化率を例に挙げて詳細するが、単純に速度差に比例した値としても良い。

本発明はさらに、上記目的および特徴の外、エレベーターの走行パルスを用いたデジタル演算による高精度な装置を実現するものであるが、この点については以下述べる実施例で詳述する。

第1図は本発明の動作原理説明図であり、第1図(A)は速度曲線図、同図は加速度曲線図である。

図において  $v$  は正常時の速度曲線、  $a_v$  はその時の加速度曲線である。

このような速度曲線  $v$  に対して、制御装置の故障により速度曲線  $v_1$  に示すように異常加速したとする。

この場合、従来の設定値  $S_2$  と比較する方式では、④点に至るまで異常検出することができず、また運転状態に応じた設定値  $S_1$  と比較する方式であつても、④点まで異常検出することができない。

以下、本発明を具体的な実施例を用いて説明する。

第2図は本発明を適用するエレベーター制御装置のブロック図である。

エレベーターの乗かど1はカウンタウエイト2とともに、ロープ3を介してシープ4につるべ状に吊られている。

シープ4は減速機5を介してエレベーター駆動用三相誘導電動機6および電磁ブレーキ7に連結されており、上記誘導電動機6には三相式の交流速度発電機8が連結されている。

この交流速度発電機8の出力電圧および周波数は上記誘導機6の回転数に比例する。したがつて、この出力電圧を波形整形回路13でパルス化し、エレベーター制御用コンピュータ14へ入力する。このコンピュータ14は、第4図に示すようなマイクロコンピュータ等で構成され、このパルスを横算してエレベーターの走行位置を検出すると同時に速度指令の算出等を行なう。また、上記速度発電機8の整流電圧を上記回路13から取り出し、これを移相器15へ入力して上記誘導機6の駆動

力および制動力を制御する。

R, T, S は三相交流電源で、主接点回路 1, 7 の開閉器の組合せで上昇、下降、保守運転、通常運転等の切替えを行ない、サイリスタ制御装置 1, 6 に接続されている。ここで、サイリスタ制御装置 1, 6 は、サイリスタ又はサイリスタとダイオードの組合で駆動トルク制御要素及び制動トルク制御要素から構成されており、これらのサイリスタは移相器 1, 5 によつて制御されている。この移相器 1, 6 は、上記エレベーター制御用コンピュータ 1, 4 からの速度指令 1, 8 やび前記速度帰還信号を入力して帰還制御を行なう。この帰還制御によつて、エレベーターの乗かご 1 は、コンピュータ 1, 4 によつて発生された速度指令 1, 8 と相似の速度で運行することができる。

上記速度指令 1, 8 は、加速時は時間の経過に伴なつて増大し、減速時は減速位置に応じて減少する指令である。

すなわち、加速指令を得るために時間はコンピュータ 1, 4 の内部クロックを、減速指令に必要な

知らせるタイマー 3, 3、プログラム可能なカウンタ・タイマー要素（略して PTM）2, 2、マイクロコンピュータ 1, 4 とデジタルの外部信号をやりとりするためのペリフェラルインターフェイス（PIA）2, 3, 2, 4, 2, 5、MPU 2, 0 の動作の手順書が書込まれている ROM（リードオンリーメモリ）2, 6、MPU 2, 0 の作業エリアとして一時記憶に用いられる RAM（ランダムアクセスメモリ）2, 7、各素子間のデータをやりとりするデータバス 2, 8、メモリ等のアドレスや素子を選択したり、クロック、割込信号等をやりとりするコントロールバス 2, 9 からなつてゐる。

なお、前記 PTM 2, 2 は、通常プログラマブル・タイマー・モジュールと称し、ここでは、交流速度発電機 8 からのパルスを入力して、カウンタの内容を減算し、零になつた後さらにパルスが入ると最大値を示す値となる。このカウンタの内容は MPU 2, 0 によつていつでも読み出しができる。

波形整形回路 1, 2 からの位置信号は入出力装置 3, 2 を介してデジタル信号を入力とするように設

位置信号は上記波形整形回路 1, 2 の位置信号及び速度発電機 8 のパルスを計数し、内部クロック及び速度発電機 8 のパルスの所定数をカウントする毎に、あるいは波形整形回路 1, 2 が位置信号を発生する毎に、コンピュータ 1, 4 に割込みをかけ、後述するコンピュータ 1, 4 の ROM（リードオンリーメモリ）に記憶してある速度指令データを読み出し、これを D/A 変換器でアナログ量に変換して第 3 図(a)の階段状に増大及び減少する指令とし、さらに平滑回路で平滑して第 3 図(b)に示すような速度指令を作成する。

ここで上記位置信号は、波速パターンの補正に用いるためのもので、乗かご 1 に取付けられた位置検出器 1, 0, 1, 1 が塔内に設けられたしゃへい板を横切つたときに動作するときの信号を波形整形回路 1, 2 を介して得られたものである。

上記コンピュータおよびその周辺装置を第 4 図の破線部に示す。マイクロプロセッサ（略して MPU）2, 0、この MPU の動作タイミングを決定するクロックおよび特定の時間間隔を MPU に

定される PIA 2, 3 に入力される。速度指令 1, 8 は、PIA 2, 4 の出力であるデジタル信号をアナログ信号に変換する D/A 変換器 3, 0、フィルタ回路 3, 1 を介して出力される。また、エレベーターの保守員の操作盤やエレベーターの制御回路 1, 9（第 1 図）からの入力も、入出力装置 3, 2 を介して PIA 2, 3 に入力される。

このような回路構成により、マイクロコンピュータによるエレベーターの制御が行なわれる。

エレベーターの異常検出は、前記動作原理に基づき、このマイクロコンピュータ 1, 4 の ROM 2, 6 に記憶してある速度変化率の許容値とエレベーター実速度の変化率とを比較して、エレベーターの制御装置が正常か否かを検出することができる。しかしながらここでは、理解を容易にし、かつコンピュータの負荷率を低減するため、異常検出回路 3, 3 を専用ハードで構成した場合につき説明する。この回路 3, 3 の構成および動作説明図を、第 5 図～第 7 図に示す。

第 5 図は、第 4 図の波形整形回路 1, 3 の PG 出

カバ尔斯の間隔時間を検出する回路の一実施例である。図において、51は第4図のMPU20の動作タイミングを決定するクロック21の出力信号と等価なクロック信号である。52は反転回路、53は論理積回路、54は時間遅れ要素、55、61、62はカウンタ、56、57はラッチ、58はPG出力バ尔斯信号、59、60はラッチの出力を示している。

これに対して、エレベータ実速度の変化率の検出は、下記のごとく行なわれる。

クロック信号51の立ち下りによりカウントを開始するカウンタ55が一定値に達したときに出力信号を経て、反転回路52の出力信号が発せられたとき、すなわち、クロック信号51の立ち下りを一定の回数分カウントされたときに論理積回路53が出力信号を発する。この出力信号が発せられるとカウンタ55はリセットされ、再び、上記のカウントを開始する。ゆえに、この回路により、第6図に示す、一定時間（たとえばT1）の割込み信号71が作られる。

このカウント値を、割込み信号71によりゲートをたたかれたラッチ56に、入力する。ラッチ57も、同様に、割込み信号71によりラッチ56からカウント値を読み出す。

ここで、ラッチ56、ラッチ57、カウンタ61、62のゲート信号、およびリセット信号は、時間遅れ要素54の分だけ、1つずつ遅れて入力される。したがつて、ラッチの内容59、60は、1つずつずれ、たとえば、ラッチ56の出力59は、B点の値\$00FF、ラッチ57の出力60はD点の値\$00FOとなる。

以上述べた、回路構成によれば、ラッチの内容59、60は、PG出力バ尔斯の間隔時間となる。ここで、ラッチの内容59をTPL1、ラッチの内容60をTPL2とすると、実速度の変化率は、TPL1とTPL2の差を割込み信号71の割込み間隔時間T1で除した値として求めることができる。したがつて、上記TPL1とTPL2をPIA25を介してコンピュータ14へ入力し、その実速度の変化率を算出し、コンピュータ14

一方、PG出力バ尔斯信号58の立ち下りを検出するカウンタ62は、PG出力バ尔斯信号58の立ち下りによりカウントを開始し、次のPG出力バ尔斯信号の立ち下りにより、カウンタ62のQ2より信号が出て、カウントを終了する。また、このカウンタ62は、割込み信号71によりリセットされるため、割込み信号71の割込み後の最初のPG出力バ尔斯信号58の立ち下りから、次の立ち下りまで、出力信号を出す。この信号と、クロック信号51の立ち下りにより、カウンタ61はセットされる。この信号が第5図に示すA～D点となる。ゆえに、カウンタ61は、第6図に示すクロック信号51をA～B点まで、またC～D点までカウントする。このカウンタ61も、割込み信号71によりリセットされるため、A点およびC点でのカウント値は、たとえば、A点で\$0000にリセットされており、PG出力バ尔斯の最初の立ち下りからカウントを開始し、B点では\$00FF、D点では\$00FOという値が、カウンタ61でカウントされる。

内部のROM26に予め書き込んである許容値と比較して、許容値を越えたら、故障のフラグを立てることにより異常検出を行なうことができる。

これによれば、マイクロコンピュータで少數点をもつ除算を行なうため、100ms程度の演算時間遅れはあるが、上記TPL1とTPL2の算出処理が不要となる効果はある。

しかしながらここでは、上記異常検出処理をも異常検出回路33内で行なう場合について説明する。第7図はその為の回路構成であり、ここでは除算機能を用いてないで実現している。したがつて、コンピュータで処理する場合も、本方式を用いれば処理が容易となる。

図において、81は減算器、82は乗算器、83は倍数器、84は比較器である。

この回路では、第6図で述べた、TPL1とTPL2の差を減算器81で求め、TPL1とTPL2の積を乗算器82で求め、さらにTPL1とTPL2の積に、実速度の変化率の許容値をかける倍数器83により減算、乗算を行な

う。そして、減算器 8 1 と倍数器 8 3 の出力を比較器 8 4 で比較することによつて、減算器 8 1 の出力が大であれば、実速度の変化率が許容値を越えたと判断して、異常検出信号 AN を出力する。

すなわち、TPL 1 および TPL 2 の逆数は速度に相当し、許容値を PT とすると、

$$\frac{1}{TPL1} - \frac{1}{TPL2} > PT \quad \cdots (1)$$

の関係が成り立つ。

そこで、この(1)式を変形すると、

$$\frac{TPL2-TPL1}{TPL1 \cdot TPL2} > PT$$

$$\therefore TPL2 - TPL1 > PT (TPL1 \cdot TPL2) \quad \cdots (2)$$

となる。

そこで、上記回路は、この(2)式を実行することにより、除算を不要としたわけである。

したがつて、図において、SW 1 を加速時にオンする接点、SW 2 を定走行時にオンする接点、SW 3 を加速時にオンする接点とし、倍数器 8 3 、8 5 、8 6 の倍率を夫々加速時の許容値 PT 1 、

とができる、また、コンピュータ 1 4 の異常をも含めた異常検出が可能となる。したがつて、上記異常検出信号 AN を、コンピュータ 1 4 へ入力することの外、この信号 AN によって直接ブレーキ等の安全装置を作動させることにより、コンピュータ 1 4 の異常時にもエレベーターの安全を図ることができる。

しかしながら本発明は、このようの一実施例に限定されるものではなく、例えば第 5 図～第 7 図の処理を、コンピュータ 1 4 のプログラムによつて実行させることが容易である。この場合、異常検出のためのハードが減少できる反面、その効果も失なわれる。

また、第 6 図に述べたように、割込み信号 7 1 の割込み間隔の間に PG 出力パルス間隔時間を 1 回分だけ測定するのではなく、例えば 3 個の PG 出力パルス間隔時間を検出して、その中で、大きいものと小さいものを除いた PG 出力パルス間隔時間を求め、次の割込み信号 7 1 が入つたあとは、同様にして、比較することにより、エレベーター

定走行時の許容値 PT 2 、減速時の許容値 PT 3 とすることにより、第 1 図(例)に示した通りエレベーターの状態に応じた異常検出を行なうことができる。

さらにまた、上記倍数器 8 3 、8 5 、8 6 の夫々に許容値の上昇値 (PH) および下限値 (PL) を設定し、夫々について算出して比較器 8 4 で比較判断するか、あるいは倍数器 8 3 、8 5 、8 6 には標準的な許容値を設定しておき、その算出値を比較器 8 4 にて所定の不感領域を設けて比較判断することにより、第 1 図(例)に示した通り、速度変化率の上限 (PH) および下限 (PL) についても異常判断することができる。

このようにして異常検出した信号 AN を、PIA 2 5 を介してコンピュータ 1 4 へ入力することにより、コンピュータ 1 4 ではエレベーターの保護装置を作動して、乗客の安全を図る。

以上述べた実施例では、コンピュータ 1 4 の外部に専用の異常検出回路 3 3 を設けている。したがつて、コンピュータ 1 4 の負荷率を低減するこ

の振動などによる誤動作を防止して、安定した異常検出を行なうことができる。

また、上記実施例では、速度を検出するため PG 出力パルスの間隔時間をクロック信号を用いて測定することにより、高精度の検出を可能としている。しかしながらこれに限らず、第 8 図に示すように、割込み信号 7 1 の間に生じる PG 出力パルス 5 8 のパルス数を計数することによつても、実速度を簡単に検出することができる。

以上述べたように、本発明によれば、エレベーターの異常を早く検出することができる。したがつて、エレベーターの安全性向上に大きく寄与することができる。

#### 図面の簡単な説明

第 1 図は本発明の動作原理説明図、第 2 図は本発明を適用するエレベーター制御装置の一プロック図、第 3 図は速度指令の発生方法説明図、第 4 図はコンピュータとその周辺回路図、第 5 図は本発明による異常検出装置の実速度検出部の一例図、第 6 図は第 5 図の動作説明図、第 7 図は本発明に

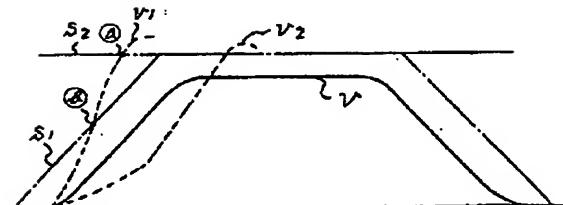
よる異常検出装置の異常判定部の一例図、第8図  
は他の速度検出方法説明図である。

1 …乗かご、14 …コンピュータとその周辺回路、  
15 …移相器、33 …異常検出回路、51 …クロ  
ック信号、58 …走行パルス、55, 61, 62  
…カウンタ、56, 57 …ラッチ、81 …減算器、  
82 …乗算器、83, 85, 86 …倍数器、84  
…比較器、SW1 ~ SW3 …エレベーター運転状  
態スイッチ。

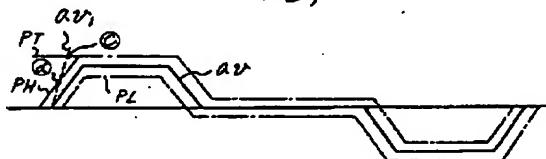
代理人 弁理士 高橋明夫

第1図

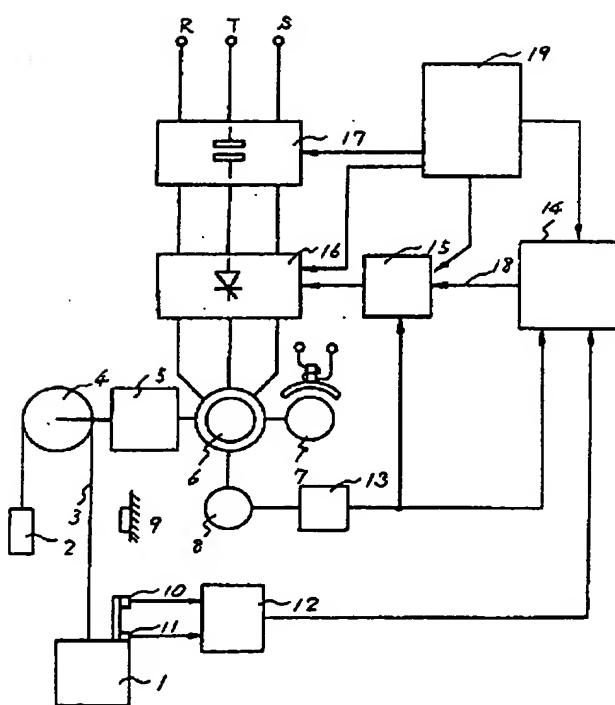
(A)



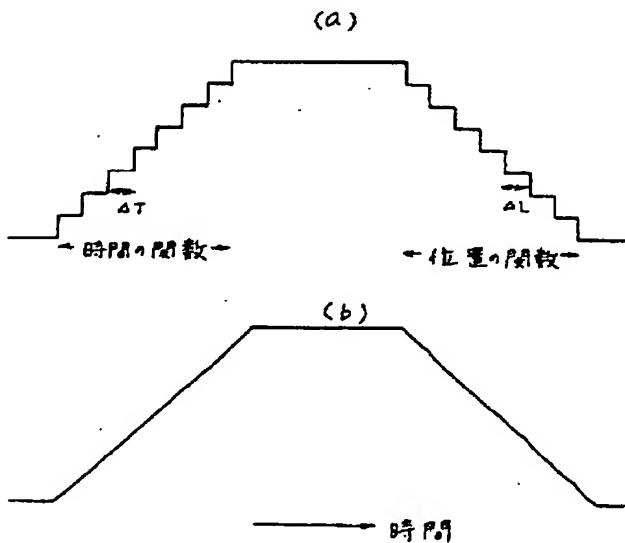
(B)



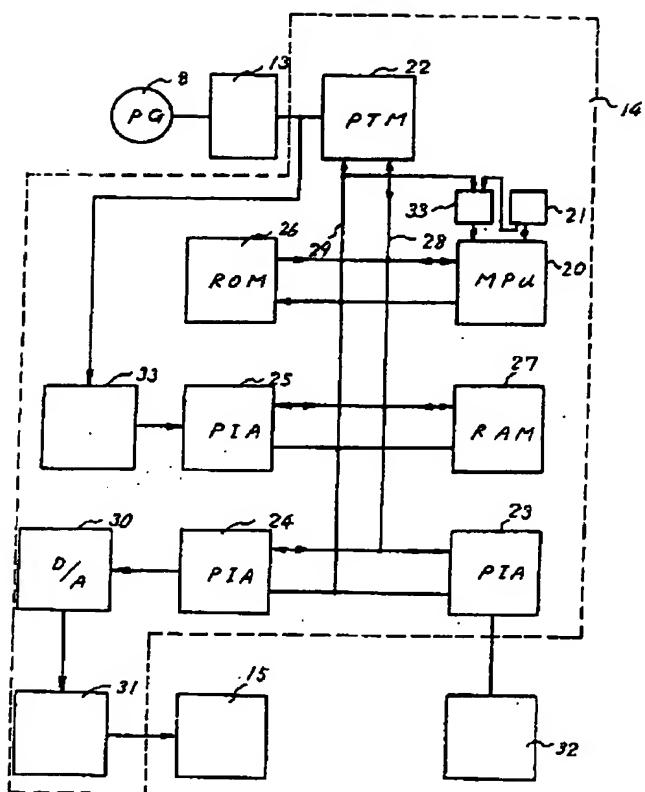
第2図



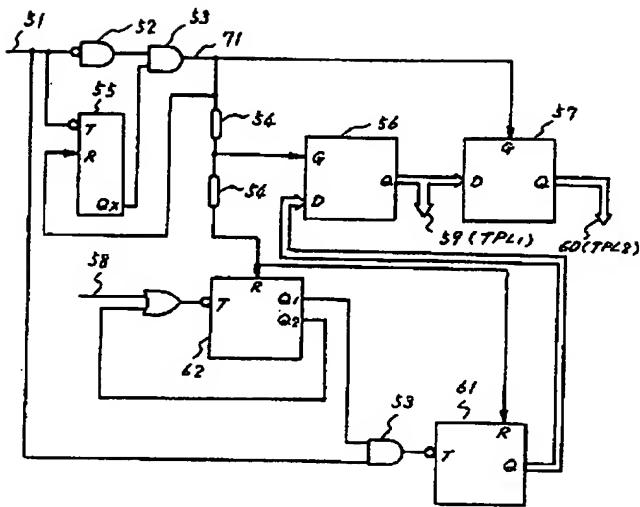
第3図



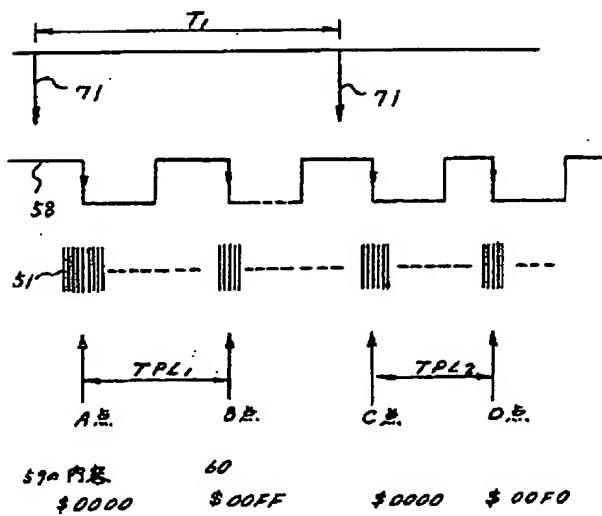
第 4 回



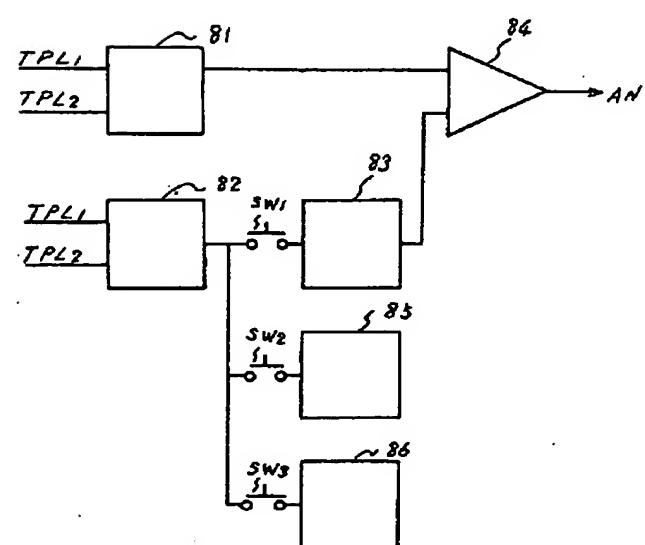
第 5 回



第 6 . 四



第七回



第 8 図

